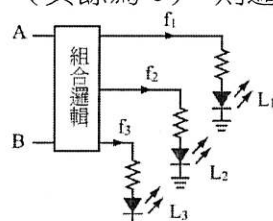
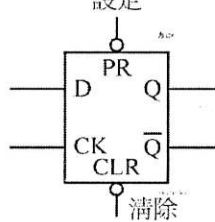


國立新竹高級工業職業學校 114 學年度第二學期 第二次期中考

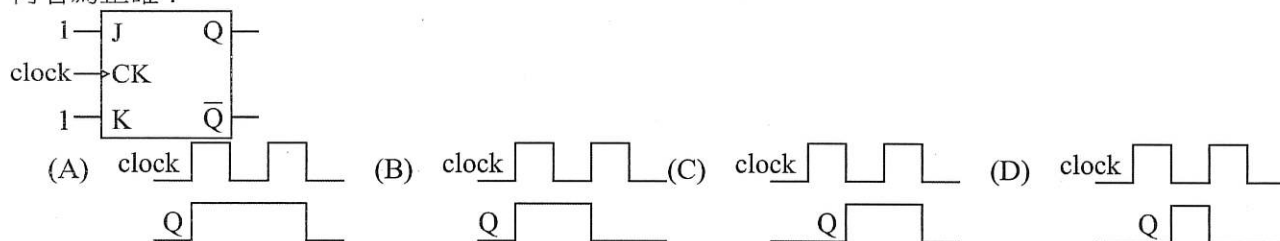
考試科目	數位邏輯設計	使用班級	電一甲/電一乙	共 2 頁
考試範圍	6-8-7-7	使用答案卡 ☐ ☒	禁止使用計算器	

單選題 (20 題, 每題 4 分, 共 80 分)

班級: _____ 姓名: _____ 座號: _____

- () 1. 7485 為一個幾位元的比較器? (A)1 位元 (B)2 位元 (C)3 位元 (D)4 位元
- () 2. 對於下圖所示之組合邏輯 ① $A > B$ 時, $f_1 = 1$ (其餘為 0) ② $A = B$ 時, $f_2 = 1$ (其餘為 0) ③ $A < B$ 時, $f_3 = 1$ (其餘為 0), 則邏輯方程式 $f_1 =$
- 
- (A) $\overline{A}B$ (B) $\overline{A}\overline{B} + AB$ (C) $A\overline{B}$ (D) $A + B$
- () 3. 有兩輸入 A 與 B 之比較器, 至少需使用幾個及閘? (A)1 個 (B)2 個 (C)3 個 (D)4 個
- () 4. $Y(A, B, C) = \sum(2, 3, 4, 5, 7)$, 若以 4 對 1 多工器來執行, 令 $S_1S_0 = AB$ 時, 其 $I_0 \sim I_3$ 輸入值分別為何? (A)0、1、C、C (B)0、1、C、C (C)1、0、C、C (D)0、1、1、C
- () 5. 正反器僅在 CLOCK 為 1 時, 才改變輸出狀態者, 稱為 (A)正緣觸發 (B)負緣觸發 (C)高準位觸發 (D)低準位觸發
- () 6. 可以消除開關的彈跳現象為 (A)RS Latch (B)AND Gate (C)OR Gate (D)T Flip-Flop
- () 7. 以 NOR 閘構成的 R-S 門鎖器其輸出入關係, 下列何者錯誤? (A) $S=R=0$ 則 Q 與 $\overline{Q}$ 都不變 (B) $S=R=1$ 則形成競賽現象 (C) $S=0, R=1$ 則 $Q=1, \overline{Q}=0$ (D) $S=1, R=0$ 則 $Q=1, \overline{Q}=0$
- () 8. 以 NAND 閘構成的 R-S 門鎖器, 其輸出入關係, 下列何者正確? (A) $S=R=1$ 為競賽的不允許狀態 (B) $S=R=0$ 則輸出不變 (C) $S=0, R=1$, 則設定 Q 為 1 (D) $S=1, R=0$, 重設 Q 為 1
- () 9. 一般所謂的 (Flip-Flop) 是屬於 (A)雙穩態電路 (B)單穩態電路 (C)不穩態電路 (D)以上皆非
- () 10. J-K 正反器輸出在觸發後, 由 0 變 1 時, 其 J、K 輸入之激勵值為何? (A)0、X (B)1、X (C)X、0 (D)X、1
- () 11. 某負緣觸發式之 D 型正反器, Q 表示正反器輸出, H 及 L 分別代表邏輯高低電位, 當 $D=L, Q=H$ 時, 則 (A)觸發脈波由 H 變為 L 時, Q 變為 L (B)觸發脈波由 L 變為 H 時, Q 變為 L (C)觸發脈波由 H 變為 L 時, Q 狀態不變 (D)Q 之狀態, 不會受到觸發脈波影響
- () 12. 如圖中之 D 型正反器 PR 輸入接 0 時, Q 立即為
- 
- (A)不變 (B)0 (C)1 (D)反相
- () 13. D 型正反器當 Clock 輸入時, 其輸出狀態 (A)隨 Clock 改變 (B)隨輸入改變 (C)隨原先的狀態改變 (D)隨時間改變
- () 14. 下列敘述何者正確? (A)JK 正反器與 RS 正反器一樣有不合理情況出現 (B)JK 正反器當 $J=K=1$ 時, 正反器改變原來狀態 (C)JK 正反器不可連接成 D 型正反器使用 (D) $J=K=0$ 時, JK 正反器改變原來狀態
- () 15. 假設一 JK 正反器在 t_0 週期之 Q 值為 1, 在 $t_1 \sim t_4$ 週期之輸入訊號 JK 分別為 $11 \rightarrow 01 \rightarrow 10 \rightarrow 00$, 則 Q 在 $t_1 \sim t_4$ 週期之輸出變化情形為 (A) $0 \rightarrow 0 \rightarrow 1 \rightarrow 1$ (B) $1 \rightarrow 0 \rightarrow 1 \rightarrow 0$ (C) $0 \rightarrow 1 \rightarrow 1 \rightarrow 0$ (D) $1 \rightarrow 1 \rightarrow 0 \rightarrow 0$
- () 16. JK 正反器的設計, 主要是針對何種正反器輸出競賽現象所改良? (A)RS (B)T 型 (C)D 型 (D)以上皆非

- () 17. 如下圖所示為一邏輯電路，圖中 JK 正反器 (flip flop) 為正緣觸發，且 $J = K = 1$ ，則下列輸入 (clock) 及輸出 (Q) 何者為正確？



- () 18. 圖為何種型式的正反器？



- () 19. T 型正反器， $T=1$ ，若 CLK 輸入後， $Q = ?$ (A) Q (B) $\bar{Q}$ (C) 0 (D) 1

- () 20. R-S 正反器的 R、S 兩輸入端相互連接，則成為 (A) J-K 正反器 (B) T 型正反器 (C) D 型正反器 (D) 以上皆非。

計數題(2 題，共 20 分)全對才給分，直接作答

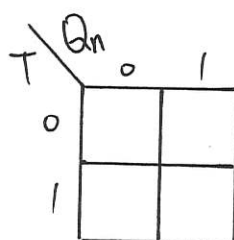
班級：_____ 學號：_____ 姓名：_____

1. 試以 D 型取代 T 型正反器。

(A) 狀態表

T	Q_n	Q_{n+1}	D

(B) 卡諾圖



(C) 布林式

$D =$ _____

(D) 組合邏輯電路

2. 使用兩只 NOR 閘繪出 R-S 門電路及真值表？
電路

真值表

動作	S	R	Q	$\bar{Q}$
設定				
重設				
不變				
不允許				