

1. 下列有關電晶體數位電路之敘述何者錯誤？

- (A) MOSFET 族系具高輸入阻抗、低消耗功率、扇出數高、製程簡單、製作密度高之優勢
 (B) BJT 族系具輸出電流大、高驅動負載能力，高功耗與製程複雜為其缺點
 (C) 早期 BJT 族系速度快為其優勢，隨著製程進步，MOSFET 族系速度已超過 BJT 族系
 (D) BiMOS 由 BJT 與 CMOS 組成，兼具 BJT 高驅動輸出電流與 CMOS 低消耗功率之特性，為目前 IC 發展主流

2. 關於 CMOS 反相器功率消耗的敘述，下列何者錯誤？

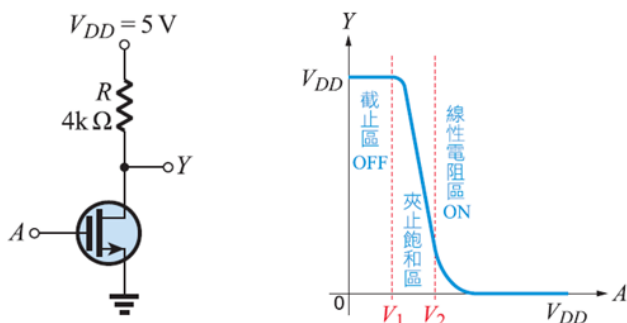
- (A) 靜態功率消耗幾乎為零 (B) 降低輸出端的負載電容可以減少功率消耗
 (C) 動態功率消耗隨電源 V_{DD} 值成平方正比的增加 (D) 動態功率消耗隨輸入電壓 v_i 頻率增加而減少

3. 下列有關 MOSFET 之敘述何者正確？

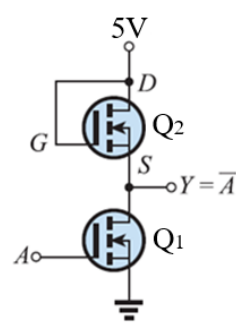
- (A) 以 NMOS 製作共源極反相器時，NMOS 輸入低態截止，輸出 $Y = V_{DD}$ ，NMOS 為傳 1 電路
 (B) 以 PMOS 製作共源極反相器時，PMOS 輸入高態截止，輸出 $Y = 0$ ，PMOS 為傳 0 電路
 (C) 以 NMOS 製作共汲極緩衝器時，NMOS 輸入高態導通，輸出 $Y < V_{DD} - V_{TN}$ ，NMOS 為弱 1 傳遞
 (D) 以 PMOS 製作共汲極緩衝器時，PMOS 輸入低態導通，輸出 $Y > V_{TP}$ ，PMOS 為弱 0 傳遞

4. 如圖(1)，若 $k = 1\text{mA}/V^2$ ， $V_T = 1.5V$ ，試求 NMOS 進入夾止飽和區和線性電阻區時之輸入電壓 V_1 、 V_2 為何？

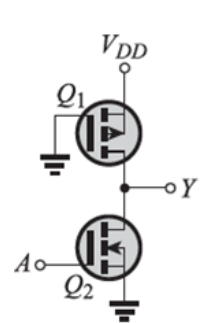
- (A) $V_1 = 1V$ ； $V_2 = 2V$ (B) $V_1 = 1.5V$ ； $V_2 = 2.5V$ (C) $V_1 = 2V$ ； $V_2 = 4V$ (D) $V_1 = 3V$ ； $V_2 = 5V$



圖(1)



圖(2)



圖(3)

5. 如圖(2)，若 $k_1 = 2\text{mA}/V^2$ 、 $V_{T1} = 1V$ 、 $k_2 = 0.5\text{mA}/V^2$ 、 $V_{T2} = 1V$ ，下列敘述何者錯誤？

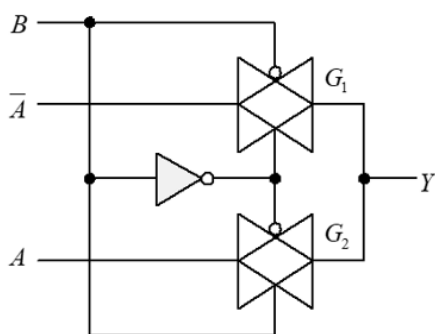
- (A) Q_1 為開關， Q_2 為主動式負載 (B) 當 $A = 0V$ ， Q_1 截止， Q_2 工作於飽和區，輸出 $Y = 5V$
 (C) 當 $A = 5V$ ， Q_1 導通， Q_2 工作於飽和區，輸出 $Y = 0V$ (D) 主動式負載可改善傳統電阻佔用面積大與消耗功率問題

6. 有關圖(3)所示反相器邏輯電路，下列敘述何者錯誤？

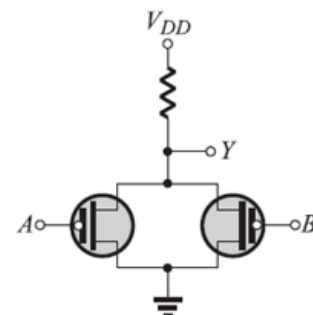
- (A) 此為虛擬 NMOS 邏輯電路 (B) $A = 0V$ 時， Q_1 工作於線性電阻區
 (C) $Y = 0$ 時， Q_1 工作於線性電阻區 (D) $Y = 0$ 時， Q_2 工作於線性電阻區。

7. 如圖(4)電路，下列敘述何者正確？

- (A) $Y = \overline{A} \overline{B} + AB$ (B) 當 $B = 0$ 時， $Y = A$ (C) 當 $B = 1$ 時， $Y = 1$ (D) 本電路為互斥或閘



圖(4)



圖(5)

8. 以下關於 CMOS 傳輸閘的描述，何者錯誤？

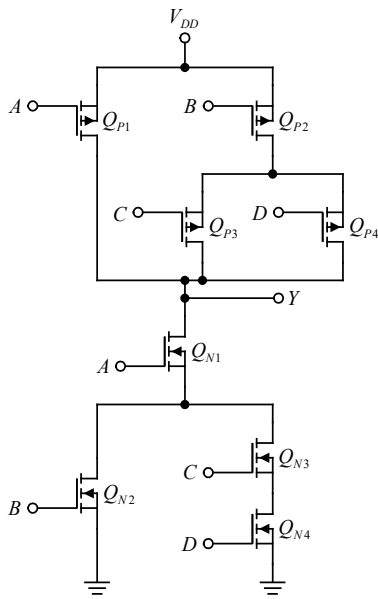
- (A) CMOS 傳輸閘為雙向導通傳輸閘 (B) CMOS 傳輸閘中的 NMOS 的基體接 V_{DD}
 (C) PMOS 和 NMOS 上的閘極控制電壓互補 (D) 傳輸閘導通時輸入等於輸出

9. 如圖(5)所示邏輯電路，若 $V_{DD} = 5V$ ， $V_{TP} = -1V$ ，則以下敘述何者錯誤？

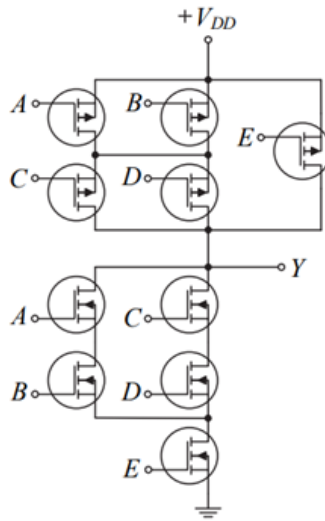
- (A) 或閘 (B) $Y = AB$ (C) $V_{OL} = 1V$ (D) $V_{OH} = 5V$ 。

10. 如圖(6)所示電路，下列敘述何者錯誤？

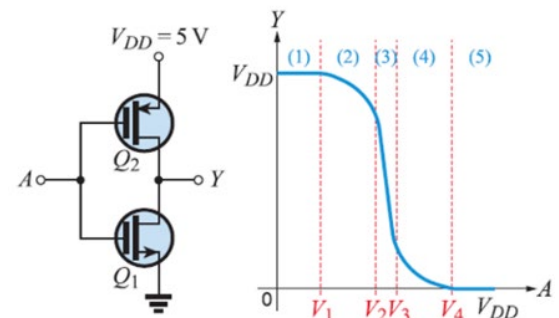
- (A) $Y = \overline{A(B+CD)}$ (B) $Y = \overline{A+B(C+D)}$ (C) $A=1$ 、 $B=C=D=0$ 時， $Y=0$ (D) $A=1$ 、 $B=0$ 、 $C=D=1$ 時， $Y=0$



圖(6)



圖(7)



圖(8)

11. 如圖(7)所示 CMOS 數位電路，下列何者為輸出 Y 的布林代數式？

- (A) $Y = (\overline{A+B})(\overline{C+D})+E$ (B) $Y = (A+B)(C+D)+E$ (C) $Y = \overline{(AB+CD)E}$ (D) $Y = (AB+CD)E$

12. $Y = \overline{A+BC+BD}$ ，若以 CMOS 實現，需要多少個 NMOS 與 PMOS？

- (A) 4 個 NMOS 與 4 個 PMOS (B) 5 個 NMOS 與 5 個 PMOS (C) 6 個 NMOS 與 6 個 PMOS (D) 7 個 NMOS 與 7 個 PMOS

13. 如圖(8)所示電路，若輸入端 $A=0V$ ，其輸出端視處於下列何種狀態？

- (A) 拉上(pull up)至 V_{DD} (B) 拉下(pull down)至地 (C) $\frac{1}{2}V_{DD}$ (D) 接關閉，輸出浮接

14. 承上題，有關 Q_1 與 Q_2 之敘述何者錯誤？

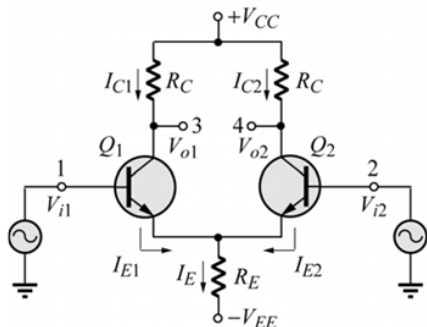
- (A) 輸入訊號落於第(1)區時 Q_1 工作於截止區， Q_2 工作於歐姆區 (B) 輸入訊號落於第(2)區時 Q_1 工作於飽和區， Q_2 工作於歐姆區
(C) 輸入訊號落於第(3)區時 Q_1 工作於飽和區， Q_2 工作於飽和區 (D) 輸入訊號落於第(3)區時， Q_1 與 Q_2 消耗功率最小

15. 如圖(9)電路，下列敘述何者錯誤？

- (A) 為差動放大器，運算放大器之輸入級，具有高輸入阻抗之特性
(B) 採直接交連，低頻響應良好

(C) 若 $V_{i1} = 10mV$ ， $V_{i2} = 2mV$ ， $A_1 = \frac{V_{o1}}{V_{i1}} = -10$ ， $A_2 = \frac{V_{o1}}{V_{i2}} = 10.2$ 時， $V_{o1} = 79.6mV$

(D) 共模拒斥比 CMRR(dB) $\cong 34dB$



圖(9)

16. 下列有關理想 OPA 運算放大器之特性敘述何者錯誤？

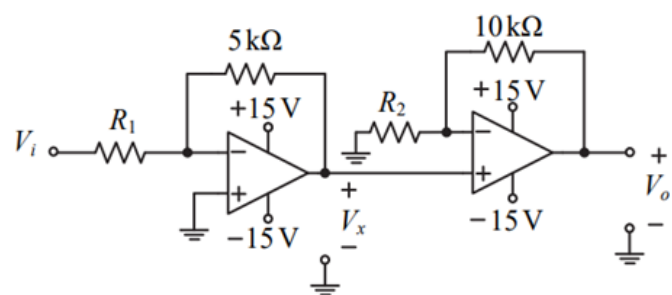
- (A) 輸入阻抗無窮大 (B) 開迴路增益無窮大 (C) 抵補電流無窮大 (D) 轉動率 S.R 無窮大

17. 有一 OPA 輸出三角波 $V_o = \pm 6V$ ，若運算放大器之轉動率 $S.R = 3V/\mu s$ ，試求所能允許三角波之最高頻率約為？

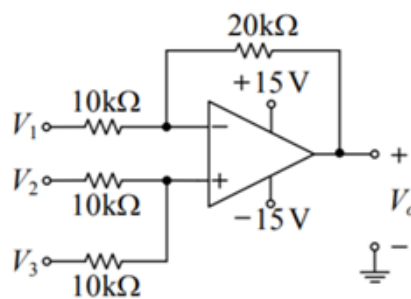
- (A) 160kHz (B) 125kHz (C) 100kHz (D) 62.5kHz

科目: 電子學 科 年級 班 學生: 座號: 考試班級: 電二甲、電二乙 命題教師: 陳志煒18. 如圖(10)所示理想運算放大器電路, 輸入電壓 $V_i = 2V$ 時, 分別量測到 V_x 為 $-5V$, V_o 為 $-7.5V$, 則電阻 R_1 及 R_2 值分別為何?

- (A)
- $R_1 = 1k\Omega$
- ,
- $R_2 = 5k\Omega$
- (B)
- $R_1 = 1k\Omega$
- ,
- $R_2 = 20k\Omega$
- (C)
- $R_1 = 2k\Omega$
- ,
- $R_2 = 5k\Omega$
- (D)
- $R_1 = 2k\Omega$
- ,
- $R_2 = 20k\Omega$
- 。



圖(10)



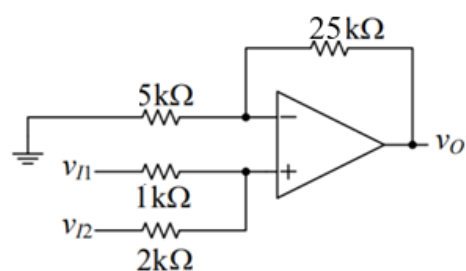
圖(11)

19. 如圖(11)所示之理想運算放大器電路, 若 $V_1 = 2V$, $V_2 = 4V$, $V_3 = -2V$, 則 V_o 為何?

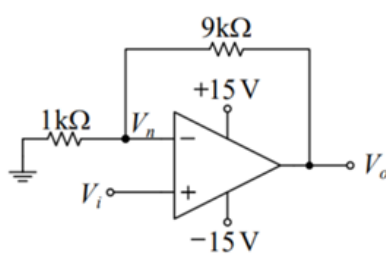
- (A)
- $2V$
- (B)
- $1V$
- (C)
- $-1V$
- (D)
- $-2V$
- 。

20. 如圖(12)電路, 試求輸出電壓 v_o 與兩個輸入電壓 v_{i1} 與 v_{i2} 的關係式為何?

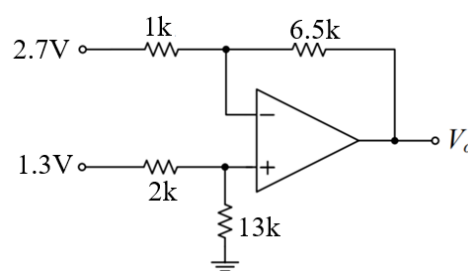
- (A)
- $v_o = 2v_{i1} + v_{i2}$
- (B)
- $v_o = 4v_{i1} + 2v_{i2}$
- (C)
- $v_o = v_{i1} + 2v_{i2}$
- (D)
- $v_o = 5v_{i1} + 10v_{i2}$



圖(12)



圖(13)



圖(14)

21. 如圖(13)電路, 運算放大器之輸出正、負飽和電壓分別為 $+13.5V$ 和 $-13.5V$, $V_i = 1.5V$, 則 V_n 為何?

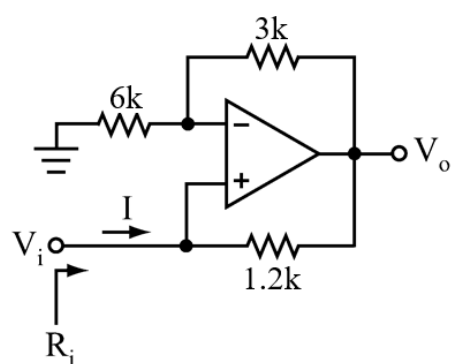
- (A)
- $-1.5V$
- (B)
- $0V$
- (C)
- $1.35V$
- (D)
- $1.5V$

22. 如圖(14)所示電路, 試求輸出電壓 V_o 為何?

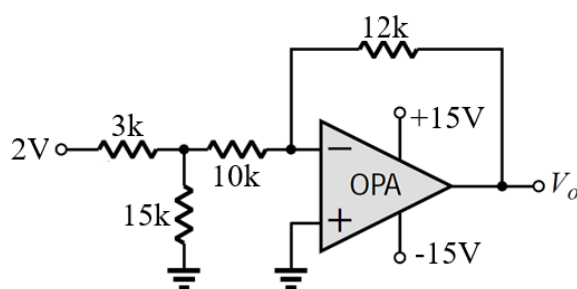
- (A)
- $9.1V$
- (B)
- $-9.1V$
- (C)
- $6.5V$
- (D)
- $-6.5V$

23. 如圖(15)所示, 若為一個理想的 OP 電路, 則 R_i 為

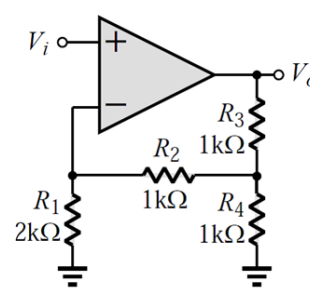
- (A)
- $1.2k\Omega$
- (B)
- $2.4k\Omega$
- (C)
- $-1.2k\Omega$
- (D)
- $-2.4k\Omega$
- 。



圖(15)



圖(16)

24. 如圖(16)所示之電路, 若 OPA 為理想運算放大器, 則 V_o 的電壓為何?

- (A)
- $-1.6V$
- (B)
- $-2V$
- (C)
- $-2.4V$
- (D)
- $-3V$
- 。

25. 如圖(17)所示為 OPA 電路, 設 $V_i = 1V$, 則 V_o 為何?

- (A)
- $3.5V$
- (B)
- $-3.5V$
- (C)
- $7V$
- (D)
- $-7V$

國立新竹高級工業職業學校 113 學年度 第 2 學期 第二次期中考試題

科目： 電子學 科 年級 班 學生： 座號：

考試班級： 電二甲、電二乙 命題教師： 陳志煒

- 1.DDCBB 6.CABAC
- 11.CAADC 16.CBDCB
- 21.CBDAA

共 4 頁,第 4 頁

☒使用電腦讀卡

科目代碼：

☐答案請寫於答案卷上

☐答案請寫於試卷上