

# 國立新竹高級工業職業學校 114 學年度 第二學期 微處理機 第一次段考試題

日期:2026.03.26 試題範圍: 1-1~2-3 班級: 資二甲、乙 座號: 姓名:

【應試同學注意，請將選擇題答案以 2B 鉛筆劃記在答案卡上，非選擇題答案直接作答在本卷題目下空白處後一併繳交】

## 一、單一選擇題(每題 2.5 分，共 30 題，75 分)

- ( ) 1. Intel 率先使用管線 (Pipeline) 管線設計的 CPU 型號是？ (A) 8086 (B) 80286 (C) 80386 (D) 80486。
- ( ) 2. 微處理機的基本結構中，不包含下列何者電路？  
(A) 類比/數位轉換電路(ADC) (B) 控制電路 (C) 暫存器電路 (D) 算術邏輯電路。
- ( ) 3. 微電腦系統執行時的最基本時間單位是？ (A) 工作週期 (B) 時脈週期 (C) 機械週期 (D) 指令週期。
- ( ) 4. 負責記錄程式進行時，下一道指令所在的記憶體位址是？(A) 記憶體緩衝暫存器 (B) 記憶體位址暫存器 (C) 程式計數器 (D) 指令暫存器。
- ( ) 5. 微處理機指令中的操作碼(operator)主要目的是？(A) 定義指令的動作 (B) 提供指令運算時的資料 (C) 提供指令運算時資料所在的位址 (D) 改變系統讀寫模式。
- ( ) 6. CPU 對每一個機械週期的指令解碼動作，可在控制單元中規劃硬體電路完成，稱為？ (A) 微程式 (Micro-Program) (B) 微指令 (Micro-Instruction) (C) 微動作 (Micro-Operation) (D) 可微程式化 (Micro-Programmable)。
- ( ) 7. 下列關於 CPU 對於任何相同長度指令的敘述何者正確？ (A) 提取週期數等於執行週期數 (B) 提取週期數必小於執行週期數 (C) 提取週期數必大於執行週期數 (D) 提取週期數相同，執行週期數因指令而異。
- ( ) 8. 以完成一指令的時脈總週期次數計算，下列何者執行週期最短？  
(A) MOV Acc, [AX] (B) ADD Acc, BX (C) MOV AX, [BX] (D) MOV [BX], AX。
- ( ) 9. Intel 在 1970 年代推出第一個一般用途之微處理機 (A) 4040 (B) 8086 (C) 8080 (D) 4004。
- ( ) 10. 下列關於微處理機系統敘述何者正確？ (A) 微處理機系統包含輸入、輸出、控制、記憶、算術邏輯運算等五個單元 (B) 控制單元能理解，並且翻譯及執行所有的指令及儲存結果 (C) 所有的資料運算都是在 CPU 的控制單元中完成 (D) 以上皆是。
- ( ) 11. 下列何者不是輸出裝置？ (A) 印表機 (B) OLED 曲面螢幕 (C) 掃描機 (D) SSD 固態硬碟機。
- ( ) 12. 下列何者不是微處理機與記憶體、輸入/輸出單元溝通時必備管道？ (A) 位址匯流排 (B) 資料匯流排 (C) 控制匯流排 (D) 指令匯流排。
- ( ) 13. 匯流排中屬於雙向三態匯流排指的是 (A) 資料匯流排 (B) 位址匯流排 (C) 控制匯流排 (D) 資料匯流排與控制匯流排。
- ( ) 14. 微處理機執行程式記憶體中的指令，下列何者為正確之執行順序？  
(A) 解碼 (Decode) → 執行 (Execute) → 提取 (Fetch) (B) 提取 (Fetch) → 執行 (Execute) → 解碼 (Decode)  
(C) 提取 (Fetch) → 解碼 (Decode) → 執行 (Execute) (D) 解碼 (Decode) → 提取 (Fetch) → 執行 (Execute)。
- ( ) 15. 電腦中 CPU 工作速度比外部主記憶體快很多，因此後來微處理機在設計上增加何種記憶體架構來改善 CPU 與主記憶體間傳輸效率？ (A) 暫存器 (B) 固態硬碟 (C) Flash Memory (D) 快取記憶體(Cache)。
- ( ) 16. 假設某一行微處理機程式機械碼長 24 bits，其中操作碼佔 8 bits 而運算元佔 16 個 0 7 8 23 bits，其指令型式如下圖所示，試問此型微處理機最多可以有幾個指令？ (A) 8 (B) 16 (C) 24 (D) 256。
- |         |         |
|---------|---------|
| 操作碼     | 運算元     |
| OP Code | Operand |
- ( ) 17. 下列關於微處理機的敘述何者錯誤？ (A) 8 位元的 CPU 每次可以處理 1byte 位元組的資料 (B) 相同時脈的前提下，微處理機的位元數越多，執行速度可以愈快 (C) 以 16 位元的微處理機處理 128 位元的資料，需處理 6 次 (D) 因電腦等級界線愈來愈模糊，微處理機可稱為中央處理單元 (CPU)。
- ( ) 18. 32 位元和 64 位元的微處理機通常是以何者為依據？ (A) 控制匯流排之位元數 (B) 資料匯流排之位元數 (C) 程式匯流排之位元數 (D) 位址匯流排之位元數。
- ( ) 19. Intel 8086 的記憶體位址暫存器(MAR)能存取的資料寬度是多少位元？ (A) 8 (B) 16 (C) 20 (D) 32 位元。
- ( ) 20. 下列有關微處理機系統中匯流排 (Bus) 的敘述，何者有誤？ (A) 匯流排一般分為資料匯流排 (Data Bus)、位址匯流排 (Address Bus) 和控制匯流排 (Control Bus) 三種 (B) Data Bus 是在 CPU 和 Memory 之間傳送資料，所以是雙向性 (C) Address Bus 可用來標明 Memory 或 I/O Port 位址的地方 (D) Data Bus 的長度和 Address Bus 的長度必須一樣。
- ( ) 21. 下列有關 8086 微處理機架構的敘述，何者錯誤？ (A) 控制單元負責 CPU 內部各單元間動作的聯繫 (B) 記憶單元可存放資料 (C) 輸出入單元屬於 CPU (D) 算術邏輯單元可實現各類算術及邏輯功能。
- ( ) 22. 下列微處理機架構中哪一個暫存器(Register)是用於記錄 CPU 工作進行時的各種狀態？  
(A) 程式計數器(PC) (B) 旗標暫存器(FR) (C) 堆疊暫存器(SR) (D) 累加器(ACC)。
- ( ) 23. 有關記憶體映射式(Memory Mapped) I/O 定址法結構特性，下列敘述何者錯誤？  
(A) I/O 佔用主要記憶體部分的空間 (B) CPU 可使用記憶體指令來存取 I/O  
(C) I/O 裝置的位址解碼電路較複雜，存取速度較慢 (D) CPU 需要設計 I/O 與記憶體的選擇控制線。
- ( ) 24. Intel 8086 CPU 控制匯流排中，當， $M/\overline{IO} = 0$ ， $\overline{RD} = 0$ ，表示 CPU 正在執行何種動作？  
(A) 讀取記憶體資料 (B) 讀取週邊裝置資料 (C) 將資料寫入記憶體 (D) 將資料寫入週邊裝置。
- ( ) 25. 有關電腦主要記憶體 RAM 與 ROM 的特性，下列敘述何者錯誤？ (A) RAM 可以任意讀出與寫入 (B) RAM 屬揮發性 (Volatile) 元件，電源消失時，存放資料會消失 (C) ROM 資料只可以寫入、不可任意讀出 (D) ROM

【應試同學注意，請將選擇題答案以 2B 鉛筆劃記在答案卡上，非選擇題答案直接作答在本卷題目下空白處後一併繳交】

屬非揮發性 (Non-Volatile) 元件，電源消失時，存放資料會保留。

- ( ) 26. 資料匯流排電路以緩衝器來設計，最主要是裝置沒有被使用時，會以什麼狀態呈現？  
(A) 低態 (B) 高態 (C) 開路高阻抗 (D) 短路低阻抗。
- ( ) 27. 某記憶體映射式 I/O (Memory Mapped I/O) 的微處理機系統，有 16 條位址線，8 條資料線，此系統需要 4KB 的 I/O 空間，則可規劃最大記憶體空間為？ (A) 4KB (B) 60KB (C) 64KB (D) 256KB。
- ( ) 28. 有一個  $1K \times 16$  的記憶體，表示？ (A) 記憶容量為 16 個位址、每一位址有 1024 個位元資料 (B) 記憶容量為 1024 個位址、每一位址有 16 個位元資料 (C) 記憶容量為 16K 個位址、每一位址有 1 個位元資料 (D) 記憶容量為 1000 個位址、每一位址有 16 個位元資料。
- ( ) 29. 電腦儲存 CPU 要執行的指令碼與資料，一般都先存放在哪一個裝置中？  
(A) 暫存器記憶體 (B) 快取記憶體 (C) 主要記憶體 (D) 輔助記憶體。
- ( ) 30. 負責執行 加、減、乘、除、NOT、AND、OR、XOR、比較等處理，並將運算結果儲存在 CPU 內部暫存器中是指下列何者單元？ (A) 輸入單元 (B) 記憶單元 (C) 控制單元 (D) 算術邏輯單元。

二、非選擇題，共 25 分

1. Data 是儲存在主記憶體中的一筆資料，Acc 是累加器，(10 分)

老王要 8086 微處理機執行下列一段組合語言程式：MOV Acc, Data 的指令

流程如右圖所示，

(A): PC 內容自動增加 1，以便繼續讀取下一道指令。

(B): 將程式計數器 (PC) 內容轉移到記憶體位址暫存器 (MAR)。

(C): CPU 將 MBR 的內容轉移到累加器 (Acc)。

(D): CPU 將 MAR 暫存的 PC 位址送到位址匯流排。

(E): 記憶體將選定位址的內容 Data 提取出來，透過資料匯流排讀入到 CPU 的資料暫存器 (MBR)。

(F): 控制單元對記憶體發出讀取資料的控制信號。

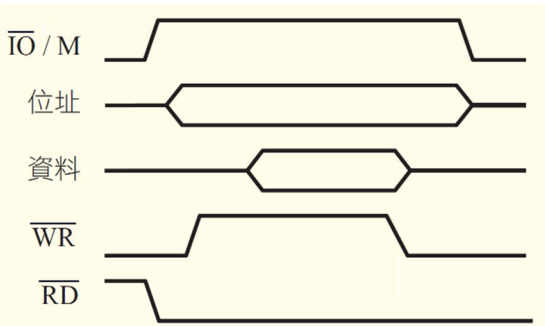
請試著將這段程式會拆分的 6 個微動作(Micro-Operation)

(A)-(F) 依正確順序寫出，要全對才給分。

位址	資料
(PC-3)	操作碼
(PC-2)	運算元
(PC-1)	操作碼
(PC)	Data
(PC+1)	操作碼
(PC+2)	運算元

答 \_\_\_\_\_

2. 根據右方控制訊號時序圖，接下來 CPU 將對 \_\_\_\_\_ (周邊裝置/主記憶體)
- 進行資料的 \_\_\_\_\_ (讀取/寫入)動作。(每格 3 分，共 6 分)



3. 74245 IC 是 8 位元的三態雙向傳輸閘，電路如右圖所示，用來設計資料匯流排的緩衝電路，因為 8086 有 16 支位址匯流排的腳位與資料匯流排共用，

- (1) 若目前 CPU 擬傳送位址到主記憶體，因此要將 74245 IC 禁能，使 An、Bn 間呈現開路狀態無法傳送資料，此時應該如何設定這顆 74245 IC 的腳位？ $\bar{G}$  = \_\_\_\_\_。
- (2) 若 CPU 擬將資料自 Bn 傳送至 An 端，則要將 74245 IC 的腳位設置成何種訊號狀態？ $\bar{G}$  = \_\_\_\_\_，DIR = \_\_\_\_\_。
- (每格 3 分，共 9 分)

